

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3414587号

(P3414587)

(45) 発行日 平成15年6月9日(2003.6.9)

(24) 登録日 平成15年4月4日(2003.4.4)

(51) Int.Cl.

識別記号

P I

G 1 1 C 16/02
16/06

G 1 1 C 17/00

6 1 1 A
6 3 4 G

請求項の数15(全 20 頁)

(21) 出願番号 特願平8-143799

(22) 出願日 平成8年6月6日(1996.6.6)

(65) 公開番号 特開平9-326199

(43) 公開日 平成9年12月16日(1997.12.16)
審査請求日 平成12年11月8日(2000.11.8)

(73) 特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 藤村 達

神奈川県川崎市幸区瀬川町580番1号

株式会社東芝 半導体システム技術セン
ター内

(74) 代理人 100083161

弁理士 外川 英明

審査官 長島 孝志

(56) 参考文献 特開 平7-93879 (J P, A)
特開 平6-120454 (J P, A)
特開 平9-293387 (J P, A)
特開 平3-17894 (J P, A)

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】 複数の不揮発性メモリセルを含むメモリセルアレーと、前記メモリセルアレーの電流経路の一端に接続されたビット線と、前記不揮発性メモリセルの制御ゲートに接続されたワード線と、前記ビット線に接続され、前記不揮発性メモリセルに書き込むためのデータ及び読み出されたデータを保持する為の電位保持回路とを備え、前記不揮発性メモリセルのしきい値の範囲が所定の値よりも低い第一の範囲であるが、高い第二の範囲であるかによって、データを記憶する不揮発性半導体記憶装置において、

前記電位保持回路が、

前記ビット線に接続されたバイパス回路と、

前記ビット線に接続された複数のラッチ・センス回路と、

2

前記複数のラッチ・センス回路に保持されたデータに基づいて、前記ビット線の電位を切り替える為の電圧切り替え回路とを備え、

前記不揮発性メモリに書き込まれたデータが正常であるか否かを検知するベリファイ動作において、前記不揮発性メモリセルに書き込まれたデータに応じた情報を前記複数のラッチ・センス回路に保持し、

その後の再書き込み動作において、前記複数のラッチ・センス回路に保持されたデータに応じて、前記電圧切り替え回路により前記ビット線を電位を切り換えて再書き込みを行う事により、前記不揮発性メモリセルのしきい値の分布幅を狭くする事を可能とした不揮発性半導体記憶装置。

【請求項2】 複数の不揮発性メモリセルを含むメモリセルアレーと、

(2)

特許第3414587号

3

前記メモリセルアレーの電流経路の一端に接続されたビット線と、

前記不揮発性メモリセルの制御ゲートに接続されたワード線と、

前記ビット線に第一のトランスファークゲートを介して接続され、前記不揮発性メモリセルに書き込むためのデータ及び前記不揮発性メモリセルから読み出されたデータに応じた電位をラッチする為の第一のラッチ・センス回路と、

前記ビット線に接続され、ベリファイ時に前記不揮発性メモリセルに書き込むためのデータに応じて、前記ビット線を強制的にハイレベル電位にし、前記第一のラッチ・センス回路にハイレベル電位を保持させる為のバイパス回路と、

前記ビット線に第二のトランスファークゲートを介して接続され、前記メモリセルから読み出されたデータに応じた電位をラッチする為の第二のラッチ・センス回路と、前記ビット線に第三のトランスファークゲートを介して接続され、前記第一及び第二のラッチ・センス回路にラッチされた電位に基づいて、ビット線の電位を変化させる為の電圧切り替え回路とを有する事を特徴とする不揮発性半導体記憶装置。

【請求項3】 複数の不揮発性メモリセルを含むメモリセルアレーと、前記メモリセルアレーの電流経路の一端に接続されたビット線と、前記不揮発性メモリセルの制御ゲートに接続されたワード線とを有し、前記不揮発性メモリセルのしきい値の範囲が所定の値よりも低い第一の範囲であるか、高い第二の範囲であるかによって、データを記憶する不揮発性半導体記憶装置において前記ビット線に、電流経路の一端が接続された第一のトランスファークゲートと、

前記第一のトランスファークゲートの電流経路の他端に接続され、第一のインバータと第一のクロックドインバータが逆並列に接続されて構成された第一のラッチ・センス回路と、

前記ビット線とハイレベル電源電圧端子の間に、二つのトランジスタが直列に接続されて構成され、ベリファイ時に前記不揮発性メモリセルに書き込むためのデータに応じて、前記ビット線を強制的に前記ハイレベル電位にし、前記第一のラッチ・センス回路にハイレベル電位を保持させる為のバイパス回路と、

前記ビット線に、電流経路の一端が接続された第二のトランスファークゲートと、

前記第二のトランスファークゲートの電流経路の他端に接続され、第二のインバータと第二のクロックドインバータが逆並列に接続されて構成された第二のラッチ・センス回路と、

前記ビット線に電流経路の一端が接続された第三のトランスファークゲートと、

前記第三のトランスファークゲートに接続され、かつ、前

4

記第一及び第二のラッチ・センス回路にラッチされた電位に基づいて、ビット線の電位を変化させる電圧切り替え回路とを有する事を特徴とする不揮発性半導体記憶装置。

【請求項4】 複数の不揮発性メモリセルを含むメモリセルアレーと、前記メモリセルアレーの電流経路の一端に接続されたビット線と、前記不揮発性メモリセルの制御ゲートに接続されたワード線と、前記ビット線に接続され、前記不揮発性メモリセルに書き込むためのデータ及び読み出されたデータを保持する為の電位保持回路とを備え、前記不揮発性メモリセルのしきい値の範囲が所定に値よりも低い第一の範囲にあるか、高い第二の範囲にあるかによって、データを記憶する不揮発性半導体記憶装置において、

前記電位保持回路が、

前記不揮発性メモリセルから読み出されたデータ及び前記不揮発性メモリセルに書き込むデータを保持し、かつ、強制反転機能を有する複数のラッチ・センス回路と、

前記複数のラッチ・センス回路に保持されたデータに基づいて、前記ビット線の電位を切り替える為の電圧切り替え回路とを有する事により、書き込み時間の増大を抑制し、前記不揮発性メモリセルのしきい値の分布幅を狭くする事を可能とした不揮発性半導体記憶装置。

【請求項5】 複数の不揮発性メモリセルを含むメモリセルアレーと、

前記メモリセルアレーの電流経路の一端に接続されたビット線と、

前記不揮発性メモリセルの制御ゲートに接続されたワード線と、

前記ビット線に第一のトランスファークゲートを介して接続され、前記不揮発性メモリセルに書き込むためのデータ及び前記不揮発性メモリセルから読み出されたデータをラッチし、かつ、強制反転機能を有する第一のラッチ・センス回路と、

前記ビット線に第二のトランスファークゲートを介して接続され、前記不揮発性メモリセルに書き込むためのデータ及び前記不揮発性メモリセルから読み出されたデータをラッチし、かつ、強制反転機能を有する第二のラッチ・センス回路と、

前記ビット線に第三のトランスファークゲートを介して接続され、前記第一及び第二のラッチ・センス回路にラッチされたデータに基づいて、ビット線の電位を変化させる為の電圧切り替え回路とを有する事を特徴とする不揮発性半導体記憶装置。

【請求項6】 複数の不揮発性メモリセルを含むメモリセルアレーと、前記メモリセルアレーの電流経路の一端に接続されたビット線と、前記不揮発性メモリセルの制御ゲートに接続されたワード線とを有し、前記不揮発性メモリセルのしきい値の範囲が所定に値よりも低い第一

(3)

特許第3414587号

5

の範囲であるか、高い第二の範囲であるかによって、データを記憶する不揮発性半導体記憶装置において前記ビット線に、電流経路の一端が接続された第一のトランスファークラークと、

前記第一のトランスファークラークの電流経路の他端に接続され、第一及び第二のインバータが逆並列に接続されてなる第一のラッチ・センス回路と、

前記第一のラッチ・センス回路の前記第一のトランスファークラークが接続されていない端子と第一の電源電圧端子の間に接続され、前記不揮発性メモリセルのしきい値が前記第二の範囲にあり、かつ、所定の値よりも高い範囲にある場合、前記第一のラッチ・センス回路にラッチされデータを強制的に反転させる為の第一の強制反転回路と、

前記ビット線に、電流経路の一端が接続された第二のトランスファークラークと、

前記第二のトランスファークラークの電流経路の他端に接続され、第三及び第四のインバータが逆並列に接続されてなる第二のラッチ・センス回路と、

前記第二のラッチ・センス回路の前記第二のトランスファークラークが接続されていない端子と前記第一の電源電圧端子の間に接続され、前記不揮発性メモリセルのしきい値が前記第二の範囲にあり、かつ、所定の値よりも高い範囲にある場合、前記第二のラッチ・センス回路にラッチされデータを強制的に反転させる為の第二の強制反転回路と、

前記ビット線に電流経路の一端が接続された第三のトランスファークラークと、

前記第三のトランスファークラークの電流経路の他端に接続され、かつ、前記第一及び第二のラッチ・センス回路にラッチされた電位に基づいて、ビット線の電位を変化させる電圧切り替え回路とを有する事を特徴とする不揮発性半導体記憶装置。

【請求項7】 前記メモリセルアレイは、前記複数の不揮発性メモリセルの各電流経路が直列に接続されてなるNAND型メモリセルを構成する事を特徴とする請求項1乃至6記載の不揮発性半導体記憶装置。

【請求項8】 前記不揮発性メモリセルは、浮遊ゲートを有し、FNトンネル電流を利用して当該浮遊ゲートに電子を注入する事を特徴とする請求項1乃至7記載の不揮発性半導体記憶装置。

【請求項9】 前記電圧切り替え回路は、前記複数のセンス・ラッチ回路にラッチされたデータに基づいて、ビット線の電位を三通りに切り替える事を特徴とする請求項1乃至6記載の不揮発性半導体記憶装置。

【請求項10】 前記電圧切り替え回路は、基準電源電圧端子と、

前記基準電源電圧端子に、ソース端子が接続された第一のPMOSトランジスタと、

前記第二のラッチ手段にゲート端子が接続され、また、

6

前記第一のPMOSトランジスタのドレイン端子にソース端子が接続された第二のPMOSトランジスタと、前記第二のラッチ手段にゲート端子が接続され、また、前記第二のPMOSトランジスタのドレイン端子に、ソース端子が接続された第一のNMOSトランジスタと、前記第一のNMOSトランジスタのソース端子に、ドレイン端子が接続された第二のNMOSトランジスタと、前記第二のNMOSトランジスタのソース端子に接続された接地端子と、

10 ソース端子が前記第一のPMOSトランジスタのゲート端子と前記第一のトランスファークラークの他端に、ドレイン端子が前記第二のPMOSトランジスタのドレイン端子及び前記第三のトランスファークラークの他端に、ゲート端子が前記第四のNMOSトランジスタのゲート端子及び前記第一のトランスファークラークが接続されていない前記第一のラッチ・センス回路の端子に接続されている第三のPMOSトランジスタとから構成されている事を特徴とする請求項2、3、5、6記載の不揮発性半導体記憶装置。

20 【請求項11】 複数の不揮発性メモリセルを含むメモリセルアレイと、前記メモリセルアレイの電流経路の一端に接続されたビット線と、前記不揮発性メモリセルの制御ゲートに接続されたワード線とを有し、前記不揮発性メモリセルのしきい電圧の範囲が第一の範囲であるか、それよりも高い第二の範囲であるかによって、データを記憶する不揮発性半導体記憶装置のベリファイ方法において、

前記複数の不揮発性メモリセルの内の一つを選択し、この選択された不揮発性メモリセルにデータを書き込むための第一の書き込み動作と、

30 前記選択された不揮発性メモリセルに接続された前記ワード線に判定電圧を与え、前記選択された不揮発性メモリセルに書き込まれたデータを読み出し、その不揮発性メモリセルのしきい電圧が、前記第一範囲にあるか、または、前記第二の範囲の内で前記判定電圧以上の範囲にあるか、または、前記第二の範囲の内で前記判定電圧よりも低い範囲にあるかを判別する為のしきい電圧判定動作と、

前記しきい電圧判定動作における、しきい電圧の判別に基づいて、前記ビット線の電位を変化させる事により、前記選択された不揮発性メモリセルにデータを書き込む時の書き込みスピードを調節した第二の書き込み動作と、

前記選択された不揮発性メモリセルに接続された前記ワード線にベリファイ電圧を印かし、前記不揮発性メモリセルのしきい電圧が正常であるか、否かを判定する為の読み出し動作とを有する事を特徴とする不揮発性半導体記憶装置のベリファイ方法。

【請求項12】 請求項11記載の不揮発性半導体装置のベリファイ方法において、

(4)

特許第3414587号

7

前記読み出し動作が終了した後、前記選択された不揮発性メモリセルのしきい電圧が所定の電圧以上になるまで、前記第二の書き込み動作と、前記読み込み動作を繰り返す事の特徴とする請求項1記載の不揮発性半導体装置のペリファイ方法。

【請求項13】 複数の不揮発性メモリセルを含むメモリセルアレーと、前記メモリセルアレーの電流経路の一端に接続されたビット線と、前記不揮発性メモリセルの制御ゲートに接続されたワード線とを有し、前記不揮発性メモリセルのしきい電圧の範囲が第一の範囲であるか、それよりも高い第二の範囲であるかによって、データを記憶する不揮発性半導体記憶装置のペリファイ方法において、

前記複数の不揮発性メモリセルの内の一つを選択し、この選択された不揮発性メモリセルにデータを書き込むための第一の書き込み動作と、

前記選択された不揮発性メモリセルに接続された前記ワード線にペリファイ電圧を印可して、前記不揮発性メモリセルのしきい電圧が正常または異常かを判定する為の読み出し動作と、

前記読み出し動作後、前記不揮発性メモリセルのしきい値電圧が異常であると判定された場合に、前記選択された不揮発性メモリセルに接続された前記ワード線に判定電圧を与え、前記選択された不揮発性メモリセルに書き込まれたデータを読み出し、その不揮発性メモリセルのしきい電圧が、前記第一範囲にあるか、または、前記第二の範囲の内で前記判定電圧以上の範囲にあるか、または、前記第二の範囲の内で前記判定電圧よりも低い範囲にあるかを判別する為のしきい電圧判定動作と、

前記判定動作における、しきい電圧の判別に基づいて、前記ビット線の電位を変化させる事により、前記選択された不揮発性メモリセルにデータを書き込む時の書き込みスピードを調節した第二の書き込み動作とを有する事の特徴とする不揮発性半導体記憶装置のペリファイ方法。

【請求項14】 請求項13記載の不揮発性半導体装置のペリファイ方法において、

前記読み出し動作が終了した後、前記選択された不揮発性メモリセルのしきい電圧が所定の電圧以上になるまで、前記しきい電圧判定動作及び前記書き込み動作及び前記読み出し動作を繰り返す事の特徴とする請求項11記載の不揮発性半導体装置のペリファイ方法。

【請求項15】 前記判定電圧が、前記ペリファイ電圧よりも小さい事の特徴とする請求項11乃至14記載の不揮発性半導体装置のペリファイ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電気的に書き込み・消去可能な不揮発性半導体記憶装置に係り、特に所望のペリファイ判定電圧とは別の判定電圧で不揮発性メモ

8

リセルをグループ化し、グループ別に適切な電圧をビット線に与えて、書き込み速度を調節した不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 不揮発性半導体記憶装置は電源を切ってもメモリに蓄積されたデータが失われない等の利点があるため、携帯電話器やポケットベル等に需要が大幅に増大している。電気的に一括消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、2トランジスタ型のバイト型不揮発性半導体記憶装置と異なり、1トランジスタでメモリセルを構成する事が出来るので、メモリセルの占有面積を縮小する事が可能となり、大容量の磁気ディスクの代替用途が期待されている。

【0003】 これらの不揮発性半導体記憶装置は、浮遊ゲートを有するMOSトランジスタからなるメモリセルをマトリクス状に配置してメモリセルを構成し、トンネル現象もしくはインパクトイオン化現象を利用して、この浮遊ゲートに電子を注入させ、MOSトランジスタのしきい値を変化させ、その変化により情報を記憶する。また、浮遊ゲートに注入された電子は、エネルギー障壁の為、浮遊ゲート内に閉じこめられる。この為、一旦浮遊ゲートに蓄積された情報は失われず、不揮発性記憶装置として機能する。

【0004】 また、不揮発性半導体装置には、メモリセルを構成するMOSトランジスタのしきい値のレベルを高い状態（データが蓄積された状態）と低い状態（消去状態）の2値としてデータを記憶するものと、しきい値のレベルを多値（3値以上）としてデータを記憶するものがある。

【0005】 ここでは、前者の2値記憶可能な不揮発性半導体記憶装置をNAND型フラッシュメモリを例に取り説明する。図14は不揮発性半導体記憶装置の主要ブロック図を示している。不揮発性半導体記憶装置993は、ロウデコーダ994、カラムデコーダ995、I/Oバッファ、センスアンプブロック997、カラムゲートトランジスタ群998、メモリセルアレー999から構成されている。

【0006】 NAND型メモリセルが行列状に配置されたメモリセルアレー999は、数千本のワード線と数千本のビット線を有している。ワード線の一端はロウデコーダ994に接続され、ロウデコーダ994は、外部からのアドレス信号に基づいてワード線を選択する。また、ビット線の一端はカラムトランジスタ群998に接続され、カラムトランジスタ群998は、外部からのアドレス信号に基づいてカラムデコーダ995によりデコードされた信号を受け、選択されたビット線をセンスアンプブロック997に接続する。センスアンプブロック997でセンス増幅された信号は、I/Oバッファ996に伝達され、I/Oバッファ996は当該不揮発性半導体記憶装置993外部とのインターフェイスを取る。

(5)

特許第3414587号

9

【0007】次に、図15にメモリセルアレー999、カラムゲートトランジスタ群998、カラムデコード、ロウデコード部分の詳細図を示した。ここで、BL1～BL4ビット線を、WL1～WL5はワード線を、992はNAND型メモリセルを、989は、書き込み及びペリファイ回路をそれぞれ示している。

【0008】図16はNAND型メモリセル992の詳細図を示している。一つのNAND型メモリセル992は直列に8個接続されたメモリセルMC11～MC18から構成され、メモリセルMC11～MC18のそれぞれは、電子を蓄積するためのフローティングゲートを有している。

【0009】また、直列に接続されたメモリセルMC11～MC18の一端は、第一の選択トランジスタSGD1を介してビット線BL1に接続され、直列に接続されたメモリセルMC11～MC18の他端は、第二の選択トランジスタSGS1を介して共通ソース線に接続されている。全てのNAND型メモリセル992は以上の様に構成されている。

【0010】また、図17はこのNAND型メモリセル992の集積回路上の断面図を示している。N型半導体基板(N-SUBSTRATE)にP-WELLを形成し、このP-WELLにメモリセルMC11～MC18、選択トランジスタSGS1、SGD1が形成されている。また、これらのトランジスタのソース/ドレインとして使用する拡散層N+は隣り合うトランジスタと共有しており、選択トランジスタSGS1の他方の拡散層はビット線に接続されている。

【0011】次に、この不揮発性半導体記憶装置の書き込み動作について説明する。図18(1)はメモリセルアレー992及び書き込み・ペリファイ回路989部分の詳細回路図を示している。

【0012】図18に示すように、NAND型メモリセルアレー992の電流経路の一端がビット線BL1に接続され、このビット線BL1は、書き込み・ペリファイ回路989を介してカラムゲートに接続されている。

【0013】また、書き込み・ペリファイ回路989は、インバータIとクロックドインバータCIとが逆並列接続された構成されたラッチ・センス回路989を有している。また、ノードN1はトランジスタQ1を介してビット線BL1に接続され、トランジスタQ1のゲート端子には信号φ1が与えられる。

【0014】また、直列に接続された二つのトランジスタQ11、Q12が、ビット線BL1と高電源電圧VD間接続され、トランジスタQ12のゲート端子が信号CONに、Q11のゲート端子はノードN1とカラムゲートにそれぞれ接続されている。

【0015】また、ビット線BL1にはトランジスタQ9、Q10が接続され、これらのゲート端子には信号bPRE(PREの反転信号を意味する)、信号RSTが

10

与えられる。

【0016】次に、不揮発性半導体記憶装置の書き込み動作について説明する。ここでは、メモリセルMC11に“0”データを書き込む場合を例に取り説明する。まず初めに、信号RSTをハイレベル電圧(以下、Hもしくは1と書く)にし、トランジスタQ10をONする事により、ビット線BL1をリセットする。次いで、信号bPREをローレベル電圧(以下、Lもしくは0)にし、トランジスタQ9をONする事により、ビット線BL1をVM(例えば、10V)にプリチャージする。その後、トランジスタQ9をOFFにして、ビット線BL1をフローティング状態にする。

【0017】次に、選択トランジスタSGD1をONにし、選択トランジスタSGS1をOFFにする。また、選択ワード線WL11をVpp(例えば、20V)に、非選択ワード線WL12～WL18をVM(例えば、10V)に印可する。この為、選択トランジスタSGS1以外は全てONとなる。

【0018】次いで、カラムゲートより書き込み信号がラッチ回路988にラッチされ、ノードN1の電位がLとなる。その後、信号φ1をHにしてトランジスタQ1をONにすると、ビット線BL1は放電し、その電位は0Vになる。

【0019】この為、非選択メモリセルMC12～MC18の制御ゲートとドレイン間には10Vと低い電圧しか印可されない為、このメモリセルにはデータは書き込まれないが、選択メモリセルMC11の制御ゲートとドレイン間に20V(20V～0V)と高い電圧が印可され、このメモリセルにデータが書き込まれる。

【0020】その様子を示したものが図19である。図19(1)に示されるように、この場合、選択メモリセルMC11のドレイン端子Dに0V、制御ゲートCGに20Vが印されるので、ゲート絶縁膜990を介して、フローティングゲートFGに電子がFNトンネル電流により注入される。

【0021】また、図19の(2)は、メモリセルのしきい電圧の個数分布図を示している。図19(2)に示されるように、フローティングゲートに電子が注入されると、消去状態“1”にあったメモリセルのしきい電圧は、しきい電圧の高い蓄積状態“0”に移移する。

【0022】また、不揮発性半導体記憶装置に使用される全てのメモリセルは同じ程度にしきい値が上昇するのではなく、個々のメモリセルにより異なる。この為、蓄積状態のメモリセルのしきい値はある個数分布を持っている。例えば、“0”データの時のしきい値の範囲R0を-2.5V～-1.5V、“1”データの時のしきい値の範囲R1を1.5V～2.5Vと仮定する。

【0023】一方、非選択メモリセルの制御ゲートとドレイン間に10Vと低い電圧しか印加されない為、非選択メモリセルのフローティングゲートには電子は注入さ

(6)

特許第 3 4 1 4 5 8 7 号

11

れず、非選択メモリセルは“1”データのままとする。

【0024】以上の様にして、選択メモリセルにのみデータが書き込まれ、書き込み動作が終了する。次に、メモリセルに書き込まれたデータが正常であるか否かをチェックするためのペリファイ動作について説明する。ここでは、メモリセルMC11に“0”データが書き込まれている場合を例に取り説明する。

【0025】まず初めに、信号RSTをハイレベル電圧（以下、Hもしくは1と書く）にし、トランジスタQ10をONする事により、ビット線BL1をリセットする。次いで、信号bPREをローレベル電圧（以下、Lもしくは0）にし、トランジスタQ9をONする事により、ビット線BL1をVcc（例えば、5V）にプリチャージする。その後、トランジスタQ9をOFFにして、ビット線BL1をフローティング状態にする。

【0026】次に、選択トランジスタSGD1及びSGS1をONにする。また、選択ワード線WL11をペリファイ電圧Vvfy（例えば、1.5V）に、非選択ワード線WL12～WL18をVcc（例えば、5V）に印可する。

【0027】ここで、選択メモリセルのしきい電圧が、ペリファイ電圧Vvfyよりも低い場合、このメモリセルはONして、ビット線BL1の電位はHからLに放電する。また、選択メモリセルのしきい電圧が、ペリファイ電圧Vvfyよりも高い場合、このメモリセルはOFFして、ビット線BL1の電位はHのままで放電しない。

【0028】以上をまとめたものが図20(1)である。ノードN1の電位が0の時、選択メモリセルに“0”データが書き込まれ、この状態でペリファイを行
30 うと、高電位（Vcc）にプリチャージされたビット線BL1の電位は、選択メモリセルのしきい値によって、GND（0V）に放電するかHのままで放電しないかが決定される。

【0029】一方、ノードN1の電位が1の時、選択メモリセルは“1”データのままで、この状態でペリファイを行
40 うと、高電位にプリチャージされたビット線BL1は放電せず、高電位のままである。このビット線BL1の電位の変化を感知する事により、選択メモリセルに書き込まれたデータが正常であるか否かを判別する。この判別によって、選択されたメモリセルに書き込まれたデータが正常なら終了し、異常ならもう一度、データを書き込む。

【0030】この一連のシーケンスを示したものが図20(2)である。図20(2)に示すように、不揮発性半導体記憶装置にアドレス・データが入力され、このアドレス・データに基づいてメモリセルを選択する（過程1）。その後、選択されたメモリセルにデータを書き込み（過程2）、書き込まれたデータが正常であるか否かを判定するペリファイ動作（過程3）を行う。

12

【0031】このペリファイ動作の結果を受け、正常ならば一連の動作が終了（過程4）する。一方、異常ならば再度、このメモリセルにデータを書き込み、ペリファイの結果が正常になるまで、この動作を繰り返す。以上の様に、書き込み及びペリファイ動作が終了する。

【0032】以上の動作が終了すると、不揮発性メモリに書き込まれたデータは正常な値になり、しきい値電圧がR0の範囲（この場合、1.5V～2.5V）の範囲に分布する事になる（図19参照）。

10 【0033】

【発明が解決しようとする課題】前述の様に、しきい電圧はある分布幅を有しているが、次に、そのしきい電圧の分布幅と、不揮発性半導体記憶装置の誤動作について説明する。図16におけるメモリセルMC11が書き込み状態（“0”データ）で、メモリセルMC12のデータを読み出す場合を考える。上記において説明したように、データを読み出す場合、選択ワード線（この場合、WL12に相当する）に読み出し電圧、例えば0Vを印加し、非選択ワード線WL11、WL13～WL18、
20 WL1S、WL1Dに5Vを印加する。すなわち、選択メモリセルMC12以外は全てONになる。

【0034】この状態で、選択メモリセルMC12のしきい電圧により、選択メモリセルMC12がONするかOFFするか決定される。選択メモリセルMC12がONすると、メモリセル992内の素子は全てONになり、ビット線BL1はVSに接続される。また、選択メモリセルMC12がOFFすると、メモリセル992の電流経路は遮断される。

【0035】図21に、しきい電圧の個数分布図を示した。しきい電圧の分布幅Rは広い場合、もし、メモリセルMC11のしきい電圧が5V以上の時、メモリセルMC11はONせず、OFFとなる。この為、データを読み出すべきメモリセルMC12のしきい電圧の如何を問わず、メモリセル992の電流経路は遮断されてしま
い、当該不揮発性半導体記憶装置は正常に動作しなくなる。従って、分布幅Rが広いと不揮発性半導体記憶装置の信頼性が低下してしまう。

【0036】また、従来において分布幅を狭くするには、小刻みに書き込みとペリファイを行わなければならない、書き込み時間が長くなってしま
40 う。本発明は、以上の様な問題を考慮されてなされたものであり、書き込み時間をそれほど増加させる事無く、しきい値電圧の分布幅を狭くし得る不揮発性半導体記憶装置を提供する事を目的とする。

【0037】

【課題を解決するための手段】本発明にかかる不揮発性半導体記憶装置は、不揮発性メモリセルから読み出されたデータ及び前記不揮発性メモリセルに書き込むデータを保持する為の複数のラッチ・センス回路と、前記複数のラッチ・センス回路に保持されたデータに基づい
50

(7)

特許第3414587号

13

て、前記ビット線の電位を切り替える為の電圧切り替え回路と、前記不揮発性メモリに書き込まれたデータをベリファイする時、前記不揮発性メモリセルに書き込むためのデータに応じて、前記ビット線の電位を強制的にハイレベル電位にする為のバイパス回路とを有する事を第一の特徴とする。

【0038】また、本発明にかかる不揮発性半導体記憶装置のベリファイ方法において、複数の不揮発性メモリセルの内の一つを選択し、この選択された不揮発性メモリセルにデータを書き込むための第一の書き込み動作と、前記選択された不揮発性メモリセルに接続された前記ワード線に判定電圧を与え、前記選択された不揮発性メモリセルに書き込まれたデータを読み出し、その不揮発性メモリセルのしきい電圧が、消去状態に範囲にあるか、または、書き込み状態の範囲内で、判定電圧以上の範囲にあるか、または、書き込み状態の範囲内で判定電圧よりも低い範囲にあるかを判別する為のしきい電圧判定動作と、前記しきい電圧判定動作における、しきい電圧の判別に基づいて、前記ビット線の電位を変化させる事により、前記選択された不揮発性メモリセルにデータを書き込む時の書き込みスピードを調節した第二の書き込み動作と、前記選択された不揮発性メモリセルに接続された前記ワード線にベリファイ電圧を印かし、前記不揮発性メモリセルのしきい電圧が正常であるか、否かを判定する為の読み出し動作とを有する事を第一の特徴とする。

【0039】本発明は、書き込み動作後に、しきい電圧が、消去状態の範囲にあるか、または、書き込み状態の範囲内で判定電圧以上の範囲にあるか、または、書き込み状態の範囲内で判定電圧よりも低い範囲にあるかを判別する為のしきい電圧判定動作とを有し、その判定結果に基づいてビット線に印加する電圧を最適にし、その次の書き込み動作の際の書き込み速度を調節する事により、しきい電圧の分布幅を狭くしている。本発明は、以上の様に構成されるので、書き込み時間の増大を抑制し、前記不揮発性メモリセルのしきい値の分布幅を狭くする事が可能となる。

【0040】

【発明の実施の形態】次に、本発明にかかる第一の実施形態を図を用いて詳細に説明する。不揮発性半導体記憶装置の概略図は図14に、メモリセル部分の拡大図は図15に、NAND型メモリセルは図16に、既に示した通りである。

【0041】また、図1は本発明に係る不揮発性半導体記憶装置の概略図である。図1に示される様に、本発明に係る不揮発性半導体記憶装置は、メモリセル、第一センス・ラッチ回路、第二のセンス・ラッチ回路、電圧切り換え回路、バイパス回路から構成される。

【0042】メモリセルに接続されたビット線BLiは第一センス・ラッチ回路に接続される。この第一のセン

14

ス・ラッチ回路は、メモリセルに書き込む為のデータ、及びメモリセルから読み出されたデータをラッチする為のもので、メモリセルからデータを読み出す際には、センスアンプとしても作用する。

【0043】また、ビット線BLiに接続された第二センス・ラッチ回路は、読み出し動作の際に、メモリセルから読み出されたデータをラッチするためののもので、センスアンプとしても動作する。また、第二のセンス・ラッチ回路は、第一のセンス・ラッチ回路と異なり、書き込み動作の時には使用されない。

【0044】また、同じくビット線BLiに接続された電圧切り換え回路は、第一及び第二のセンス・ラッチ回路にラッチされた情報に応じて、ビット線BLiの電位を切り換えるためのものである。

【0045】また、バイパス回路は、不揮発性メモリに書き込まれたデータをベリファイする時、不揮発性メモリセルの書き込みデータが"1"（消去状態）の場合、ビット線の電位を強制的にハイレベル電位にする為のものである。

【0046】次に、図2に、本発明にかかる不揮発性半導体記憶装置の詳細回路図を示した。図2に示した様に、メモリセルアレー100は不揮発性メモリセルの電流経路が直列に接続されており、その両わきを選択トランジスタSGD、SGSとが接続され、当該メモリセルアレー100は、選択トランジスタSGDを介してビット線BLiに接続されている。

【0047】第一のセンス・ラッチ回路110は、選択トランジスタQ1を介してそれぞれビット線BLiに接続されており、逆並列接続されたインバータ130とクロックドインバータ140とから構成される。第二のセンス・ラッチ回路も同様の構成となっている。また、クロックドインバータ140、160には、それぞれ制御信号bLAT1、bLAT2が供給される。

【0048】電圧切り換え回路160は、トランジスタQ8と、参照電圧VrefとGND間に直列に接続された4個のトランジスタQ4、Q5、Q6、Q7から構成されて、トランジスタQ4のゲート端子はノードbN1（N1の反転電位を意味する）に、トランジスタQ7のゲート端子はノードN1に接続されている。

【0049】また、トランジスタQ8のゲート端子はノードbN1に、ドレイン端子はノードN3に、ソース端子はノードN1にそれぞれ接続されている。またノードN3は選択トランジスタQ3を介してビット線BLiに接続されている。

【0050】また、バイパス回路170は、電流経路は直列接続されたトランジスタQ11、Q12から構成されて、トランジスタQ11のゲート端子はカラムゲートとノードN1に接続されている。また、トランジスタQ12のゲート端子には信号CONが供給される。

【0051】また、図2に示したメモリセルアレー10

(B)

特許第3414587号

15

0に示したように、本実施形態はNAND型メモリセルアレーを例に取っている。次に、図3に本実施形態に使用するプログラムシーケンスを示した。

【0052】図3に示すプログラムシーケンスのアドレス・データ入力動作において、カラムゲートを介して、ラッチ・センス回路110にデータ書き込み用の所定の電位をラッチする。

【0053】次に、1回目のプログラム動作において、ラッチ・センス回路110にラッチされた電位に基づいて、選択メモリセルにデータを書き込む。次いで、しきい値リード動作において、前述の1回目のプログラム動作で書き込まれたメモリセルのしきい値電圧の状態に応じて、ビット線の電位が変化する。そのビット線の電位をラッチ・センス回路120でセンスし、ラッチする。この際、ラッチ・センス回路110、120にラッチされたデータに基づいて、前記選択メモリセルのしきい値電圧の状態を、3つの状態（“1”データ書き込み状態、書き込み状態であるが十分書き込まれていない状態、十分書き込まれている状態）に分類する。

【0054】次に、二回目のプログラム動作（図3には、単に、プログラムと記載）において、選択メモリセルが、前述の3つの状態の内のどの状態にあるかに応じて、電圧切り換え回路160がビット線を、所定の電位に充電する。このビット線の電位の応じて、選択メモリセルに再度データを書き込む。この書き込みの際、選択メモリセルの3の状態に応じて、書き込みスピードが調節され、選択メモリセルのしきい値電圧の幅を縮める事が出来る（詳細は後述する）。

【0055】次に、ペリファイ動作において、選択メモリセルのしきい値電圧が正常であるか否かを判定し、正常ならば一連のシーケンスは終了する。選択メモリセルのしきい値電圧が異常ならば正常になるまでプログラム、ペリファイ動作を繰り返す。

【0056】次に、図3に示した一連のプログラムシーケンスを図2を参照しながら、より詳細に説明する。また、通常、不揮発性半導体記憶装置においては、メモリセルのしきい値電圧が低い状態を消去状態（“1”データ）と、しきい値電圧が高い状態を書き込み状態（“0”データ）という。ここでは、全てのメモリセルMC0～MC15は消去状態、すなわち、“1”データにあると仮定する。また、以降の説明では、メモリセルMC15にデータを書き込む場合を例に取り説明する。

【0057】まず初めに、アドレス・データ入力動作について説明する。図2に示される不揮発性半導体記憶装置に入力されたアドレスデータに応じて、ワード線が選択される。ここでは、ワード線WL15が選択されたものと仮定する。また、カラムゲートを介して、ラッチ・センス回路110に、所定の電位がラッチされる。

“0”データ書き込みの場合、ノードN1にローレベル電位（L）が保持される。

16

【0058】次に、一回目の書き込み動作について説明する。信号RSTをハイレベル電圧（以下、Hと言う）にし、トランジスタQ10をONにして、ビット線BLiをリセットする。すなわち、GND電位にする。次に、信号bPREをLにして、トランジスタQ9をONにして、ビット線を書き込み禁止電圧VM1（例えば、10V）にプリチャージし、その後トランジスタQ9をOFFにする。

【0059】また、非選択ワード線WL0～WL14にハイレベル電圧VM2（例えば、12V）を印加して、それらをONにする。また、選択トランジスタSGSをOFFに、選択トランジスタSGDをONの状態にする。また、選択ワード線WL15に書き込み電圧（例えば、20V）を印加する。

【0060】次いで、信号φ1をHにしてトランジスタQ1をONにする。すると、ノードN1がビット線BLiに接続される。この時、ノードN1の電位はLなので、ビット線BLiの電位はHからLに放電する。

【0061】ビット線BLiが放電し、Lになると、選択メモリセルMC15のチャネル部分とゲート端子（選択ワード線WL15に接続された端子）間に20Vの電位差が発生する。この為、選択メモリセルMC15のフローティングゲートに電子が注入され、データが書き込まれる。言い換えれば、選択メモリセルMC15のしきい値電圧が上昇し、“0”データになる。

【0062】また、非選択メモリセルMC0～MC14のチャネル部分とゲート端子（非選択ワード線WL0～WL14に接続された端子）間には、12Vの電位差しか発生しない。この為、非選択メモリセルMC0～MC14のフローティングゲートには電子が注入されず、データは書き込まれない。言い換えれば、選択メモリセルMC0～MC14のしきい値電圧はそのまま、“1”データを保持する。以上で図3における一回目のプログラムが終了する。

【0063】次に、しきい値リード動作（しきい値電圧判定動作）について説明する。信号RSTをHにし、トランジスタQ10をONにして、ビット線BLiをリセットする。すなわち、GND電位にする。次に、信号bPREをLにして、トランジスタQ9をONにして、ビット線をVcc（例えば、5V）にプリチャージし、その後トランジスタQ9をOFFにして、ビット線の電位をフローティング状態にする。

【0064】また、非選択ワード線WL0～WL14にVcc（例えば、5V）を印加して、それらをONにする。また、選択ワード線WL15にしきい値判定電圧VLを印加する。また、選択トランジスタSGS、SGDをON状態にする。

【0065】また、上記の1回目のプログラム動作において、選択メモリセルMC15のしきい値電圧は上昇しており、しきい値判定電圧VLは、しきい値分布の中心に

(9)

特許第 3414587 号

17

なるように設定する（この設定方法は後述する）。ここで、 0^+ データの内で、しきい値判定電圧 V_L よりも高い領域を領域 L_2 、低い領域を領域 L_1 と定義する（図 4 参照）。

【0066】1 回目のプログラム動作において、データが書き込まれた選択メモリセル $MC15$ のしきい電圧が領域 L_1 にある場合を考える。選択ワード線 $WL15$ の電位 V_L は、しきい電圧よりも高いので、選択メモリセル $MC15$ は ON し、ビット線 BLi は H から L に放電する。また、ビット線 BLi が放電するのに必要な時間待った後、 $bLAT2=L$ でクロックドインパル 160 を不活性化し、信号 $\phi 2$ を H にして、トランジスタ $Q2$ を ON する。すると、ビット線 BLi とノード $N2$ が接続される。

【0067】次いで、 $bLAT2=H$ でクロックドインパル 160 を活性化して、センス・ラッチ回路 120 のノード $N2$ に、しきい値リードの結果をラッチする。この場合、ビット線 BLi は L に放電しているの、ノード $N2$ に L がラッチされる事になる。また、ノード $N1$ の電位は、前述の書き込み状態のままの L の状態になっている。以上の様にして、しきい値リード動作が終了する（図 3 参照）。

【0068】次に、前述の 1 回目のプログラム動作と、しきい値リード動作の後のノード $N1$ 及び $N2$ の電位の状態をまとめたものを図 5 に示した。図 5 に示すように、1 回目のプログラム動作において、ノード $N1=L$ として、選択メモリセル $MC15$ に 0^+ データを書き込む。また、その後のしきい値リード動作において、 0^+ データが書き込まれた選択メモリセルのしきい電圧が L_1 の領域にある場合、ノード $N2$ の電位が L となる事は、前述した通りである。

【0069】また、 0^+ データが書き込まれた選択メモリセルのしきい電圧が L_2 の領域にある場合、しきい値判定電圧 V_L は、領域 L_2 よりも低いので、選択メモリセル $MC15$ は ON しない。従って、ビット線 BLi は放電しないので、ノード $N2$ の電位は H となる。

【0070】また、1 回目のプログラム動作において、選択メモリセル $MC15$ にデータを書き込まない時は、ノード $N1$ の電位を H にする。また、その後のしきい値リード動作において、ノード $N2$ に保持される電位は、メモリセルのしきい値により、 L か H のどちらかになる。

【0071】以上の様にして、二つのノード $N1$ 、 $N2$ に保持される電位により、プログラム動作後のメモリセルの状態を、 1^+ データ書き込み状態 (L_3)、書き込み状態であるが十分書き込まれていない状態 (L_1)、十分書き込まれている状態 (L_2) の 3 つに分類する事が出来る。

【0072】次に、2 回目のプログラム動作について説明する。いま、1 回目のプログラムでデータが書き込ま

18

れたメモリセル $MC15$ のしきい電圧が領域 L_1 にある場合、領域 L_1 は、前述した様に、データが書き込まれているが、十分に書き込まれていない状態を示している。従って、選択メモリセルに再度書き込みを行い、十分に書き込まれた状態 (V_L よりも高い領域) にする必要がある。

【0073】また、一回目のプログラム後のメモリセル $MC15$ のしきい電圧が領域 L_2 にある場合、領域 L_2 は、前述した様に、データが十分に書き込まれている状態を示している。従って、この状態のメモリセルには、あまり書き込みを行いたくない。すなわち、書き込み速度を遅くしたい。

【0074】また、一回目のプログラム後のメモリセル $MC15$ のしきい電圧が領域 L_3 にある場合、領域 L_3 は、前述した様に、 1^+ データを書き込み状態を示している。従って、この状態のメモリセルには、これ以上書き込みを行いたくない。

【0075】以上の様に、1 回目のプログラム後のメモリセルの状態 (L_1 、 L_2 、 L_3) によって、書き込むスピードを制御しなければならない。本発明では、ノード $N1$ 、 $N2$ の電位に応じて、電圧切り換え回路 160 によりビット線の電位を制御し、書き込みスピードを制御している。

【0076】以下に、書き込み速度の制御方法を説明する。ここで、1 回目のプログラム後のメモリセル $MC15$ のしきい電圧が領域 L_1 にある場合を例に取り説明する。この場合、図 5 に示した様に、1 回目のプログラム、しきい値リード動作後のノード $N1$ 、 $N2$ の電位はそれぞれ L 、 L に設定されている。このとき、ノード $bN1$ 、 $bN2$ は H なので、電圧切り換え回路 160 内のトランジスタ $Q4$ 、 $Q5$ は ON、トランジスタ $Q6$ 、 $Q8$ は OFF となる。この為、ノード $N3$ の電位は GND となる。その後、信号 $\phi 3$ によりトランジスタ $Q3$ を ON にする事により、ビット線を駆動する。すると、選択メモリセルに $2.0V$ ($2.0V-0V$) が印可され、再度書き込みが行われる。

【0077】また、1 回目のプログラム後のメモリセル $MC15$ のしきい電圧が領域 L_2 にある場合、図 5 に示した様に、1 回目のプログラム、しきい値リード動作後のノード $N1$ 、 $N2$ の電位はそれぞれ L 、 H に設定されている。このとき、ノード $bN1$ 、 $bN2$ は、それぞれ H 、 L なので、電圧切り換え回路 160 内のトランジスタ $Q6$ 、 $Q7$ は ON、トランジスタ $Q5$ 、 $Q8$ は OFF となる。この為、ノード $N3$ の電位は V_{ref} (例えば、 $1V$) となる。その後、信号 $\phi 3$ によりトランジスタ $Q3$ を ON にする事により、ビット線を充電する。すると、選択メモリセルに $1.9V$ ($2.0V-1V$) が印可され、再度書き込みが行われる。しかし、この時は、 $1.9V$ と電圧が低くなっているため、書き込みスピードは遅くなる。

(10)

特許第3414587号

19

【0078】また、1回目のプログラム後のメモリセルMC15のしきい電圧が領域L3にある場合、図5に示した様に、1回目のプログラム、しきい値リード動作後のノードN1、N2の電位は、それぞれH、*に設定されている（ただし、*はHまたはLのどちらかを意味する）。このとき、ノードbN1はLなので、電圧切り換え回路160内のトランジスタQ8がONとなる。この為、ノードN3の電位はノードN1と同電位になる。すなわち、ノードN3の電位は、VM1となる。信号φ3によりトランジスタQ3をONさせる事により、ビット線VM1（書き込み禁止電圧）に充電する。

【0079】図5に、充電されたビット線の電位と、ノードN1、N2の関係を示した。図5示されるように、データが書き込まれたメモリセルのしきい電圧がL1、L2、L3の領域の時、ビット線の電位を、それぞれGND、Vref、VM1に設定する。ここで、GNDは0V、Vref（参照電圧）は1V、VM1（書き込み禁止電圧）は10Vとする。

【0080】以上の様にして、しきい値リードの結果に応じてビット線を充電し、選択メモリセルMC15に2回目の書き込みが行われる。この2回目の書き込み動作においては、選択メモリセルMC15のしきい値の状態に応じてビット線の電位を最適にしているので、選択メモリセルMC15の書き込み速度を調節する事が出来る。

【0081】次に、ベリファイ動作について説明する。信号RSTをHにし、トランジスタQ10をONにして、ビット線BLiをリセットする。すなわち、GND電位にする。次に、信号bPREをLにして、トランジスタQ9をONにして、ビット線をVcc（例えば、5V）にプリチャージし、その後トランジスタQ9をOFFにして、ビット線の電位をフローティング状態にする。

【0082】また、非選択ワード線WL0~WL14にVcc（例えば、5V）を印加して、それらをONにする。また、選択ワード線WL15にベリファイ電圧Vvfyを印加する。また、選択トランジスタSGS、SGDをON状態にする。また、ベリファイ電圧Vvfyはしきい値判定電圧VLよりも大きいとする。

【0083】選択ワード線WL15の電位Vvfyが、選択メモリセルMC15のしきい電圧よりも高い場合、ビット線はHからLに放電し、選択メモリセルMC15のしきい電圧よりも低い場合、ビット線はHのままである。

【0084】ビット線が放電するのに必要な時間待った後、bLAT1=Lでクロックドインバート140を不活性化し、信号φ1をHにして、トランジスタQ1をONする。すると、ビット線BLiとノードN1が接続される。

【0085】次いで、bLAT1=Hでクロックドイン

20

バート140を活性化して、センス・ラッチ回路110のノードN1に、ベリファイの結果をラッチする。ただし、しきい値リード動作と少し異なり、ベリファイ動作では選択メモリセルMC15に“1”データを書き込む場合、センス・ラッチ回路110のノードN1をHに保持しなければならないので、ノードN1=HでトランジスタQ11をONし、信号CON=HでトランジスタQ12をONする。この為、ビット線の電位をプルアップして、ノードN1の電位をHに保持させている。

【0086】また、このラッチした結果が正常ならば一連のプログラムシーケンスは終了する。結果が異常ならば、結果が正常になるまで書き込み、ベリファイ動作を繰り返す。以上で、図3に示される一連のプログラムシーケンスが終了する。

【0087】次に、図3に示されるプログラムシーケンスにおける選択メモリセルMC15のしきい電圧の変化を図6に示した。縦軸にしきい電圧、横軸に時間を取っている。

【0088】図6に示される様に、1回目のプログラム後の選択メモリセルのしきい電圧の分布範囲がR1（時間t1）であるとする。前述した様に、その後のしきい値リード動作により、しきい値が、しきい値判定電圧VLより高いか、低いかにより領域L2とL1に分別する。この分別に基づいて、選択メモリセルへの書き込み速度を制御して、二回目の書き込みを行う。二回目の書き込み動作終了後の時間をt2とする。この際、領域L1にあるメモリセルのしきい電圧は、ほぼ線形に増加する。しかし、十分に書き込まれている状態の領域L2のメモリセルのしきい電圧は、書き込み速度を遅くして書き込んでいるので、傾きは鈍くなる。

【0089】この傾きの違いの為、二回目の書き込み動作後のしきい値の分布幅R2を、一回目の書き込み動作後のしきい値の分布幅R1よりも狭くする事ができる。また、領域L1内のしきい電圧を有するメモリセルと、領域L2内のしきい電圧を有するメモリセルの、2回目の書き込み後のしきい電圧の分布範囲がR2で一致する様に、前述の参照電圧Vrefを最適にする（最適な設定の方法は後述する）。

【0090】二回目の書き込みが終わると、図3に示した様に、しきい電圧の値が正常、すなわち、しきい電圧がベリファイ電圧Vvfyを超えるまで、ベリファイ、書き込み動作を繰り返す。図6においては、時間tn、範囲Rnに相当する。

【0091】次に、VLとVrefの設定方法について説明する。1回目のプログラム後、しきい値リードを行い、分布の中心VLと分布幅R1を求める。そして、2回目のプログラムでVPPを印加してVL-1/2×R1から、範囲R2の下端であるVTH2まで書き込む。

【0092】次に、2回目のプログラムでVPP-Vrefを印加してVLからVTH2まで書き込まれないよ

(11)

特許第3414587号

21

うなVrefを求める。以上の事を書き込み速度の異なるチップに対して行い、VLとVrefの対応表を作っておく。

【0093】テスト時には、一回目のプログラム後、しきい値リードを行い、分布の中心にVLを設定し、Vrefは前記の対応表からとまる。また、VLVrefが所定の電圧になるようにFuse Blowする。

【0094】更に、図3に示されるプログラムシーケンスのタイミングチャートを図8に示した。図8には、アドレス・データ入力動作、1回目プログラム動作、しきい値リード動作、2回目プログラム動作、ベリファイ動作、3回目プログラム、ベリファイ動作のタイミングチャートを示している。この場合、一回目のベリファイの結果が異常で、二回目のベリファイの結果が正常になり、一連のプログラムシーケンスが終了している。

【0095】本実施形態は、二つのセンス・ラッチ回路によりラッチされたデータに基づいて、ビット線を充電し、その後の書き込み動作の際の書き込みスピードを制御する事により、書き込み時間をそれほど増加させる事無く、しきい値電圧の分布幅を狭くする事が出来る。この結果、不揮発性半導体記憶装置の誤動作を抑制する事ができる。

【0096】また、参照電圧VrefとGND間に接続されたトランジスタQ4、Q5、Q6、Q7は同時にONせず、貫通電流は流れないので、消費電力の増大はない。次に、本発明にかかる第二の実施形態を図を用いて詳細に説明する。不揮発性半導体記憶装置の概略図は図14に、メモリセル部分の拡大図は図15に、NAND型メモリセルは図16に、既に示した通りである。

【0097】また、図9は本発明に係る不揮発性半導体記憶装置の概略図である。図9に示される様に、本発明に係る不揮発性半導体記憶装置は、メモリセル、第一センス・ラッチ回路、第二のセンス・ラッチ回路、電圧切り換え回路から構成される。ただし、第一、第二センス・ラッチ回路は強制反転型となっている。また、説明を簡単にする為に第一の実施形態と同じ部分に関しては、同じ記号を使用する。

【0098】メモリセルに接続されたビット線BLiは第一センス・ラッチ回路に接続される。この第一のセンス・ラッチ回路は、メモリセルに書き込む為のデータ、及びメモリセルから読み出されたデータをラッチする為のもので、メモリセルからデータを読み出す際には、センスアンプとしても作用する。

【0099】また、ビット線BLiに接続された第二センス・ラッチ回路は、読み出し動作の際に、メモリセルから読み出されたデータをラッチするためのもので、センスアンプとしても動作する。また、第二のセンス・ラッチ回路は、第一のセンス・ラッチ回路と異なり、書き込み動作の時には使用されない。

【0100】また、同じくビット線BLiに接続された

22

電圧切り換え回路は、第一及び第二のセンス・ラッチ回路にラッチされた情報に応じて、ビット線BLiの電位を切り換えるためのものである。

【0101】次に、図10に、本発明にかかる不揮発性半導体記憶装置の詳細回路図を示した。図10に示した様に、メモリセルアレー100は不揮発性メモリセルの電流経路が直列に接続されており、その両わきに選択トランジスタSGD、SGSとが接続され、当該メモリセルアレー100は、選択トランジスタSGDを介してビット線BLiに接続されている。

【0102】第一のセンス・ラッチ回路110は、選択トランジスタQ1を介してそれぞれビット線BLiに接続されており、逆並列接続されたインバータ130、230とから構成される。

【0103】また、ノードbN1とGNDとの間にトランジスタQ21、Q22の電流経路が直列に接続され、トランジスタQ21のゲート端子には制御信号LAT1が供給され、Q22のゲート端子はビット線と接続されている。第二のセンス・ラッチ回路も同様の構成となっている。

【0104】電圧切り換え回路160は、トランジスタQ8と、参照電圧VrefとGND間に直列に接続された4個のトランジスタQ4、Q5、Q6、Q7から構成されて、トランジスタQ4のゲート端子はノードbN1(N1の反転電位を意味する)に、トランジスタQ7のゲート端子はノードN1に接続されている。

【0105】また、トランジスタQ8のゲート端子はノードbN1に、ドレイン端子はノードN3に、ソース端子はノードN1にそれぞれ接続されている。またノードN3は選択トランジスタQ3を介してビット線BLiに接続されている。

【0106】また、図10に示したメモリセルアレー100に示したように、本実施形態はNAND型メモリセルアレーを例に取っている。次に、図11に本実施形態に使用するプログラムシーケンスを示した。

【0107】図11に示すプログラムシーケンスのアドレス・データ入力動作において、カラムゲートを介して、ラッチ・センス回路110にデータ書き込み用の所定の電位をラッチする。

【0108】次に、1回目のプログラム動作(図11における、Program)において、ラッチ・センス回路110にラッチされた電位に基づいて、選択メモリセルにデータを書き込む。

【0109】次に、ベリファイ動作において、選択メモリセルのしきい電圧が正常であるかを判定し、正常ならば一連のシーケンスは終了する。選択メモリセルのしきい電圧が異常ならば、カウンタNを増加させる。

【0110】次いで、しきい値リード動作において、前述のプログラム動作で書き込まれたメモリセルのしきい値電圧の状態に応じて、ビット線の電位が変化する。そ

(12)

特許第3414587号

23

のビット線の電位をラッチ・センス回路120でセンスし、ラッチする。この際、ラッチ・センス回路110、120にラッチされたデータに基づいて、前記選択メモリセルのしきい電圧の状態を、3つの状態（「1」データ書き込み状態、書き込み状態であるが十分書き込まれていない状態、十分書き込まれている状態）に分類する。

【0111】次に、二回目のプログラム動作において、選択メモリセルが、前述の3つの状態の内のどの状態にあるかに応じて、電圧切り換え回路160がビット線を、所定の電位に充電する。このビット線の電位に応じて、選択メモリセルに再度データを書き込む。この書き込みの際、選択メモリセルの3つの状態に応じて、書き込みスピードが調節され、選択メモリセルのしきい電圧の幅を縮める事が出来る。

【0112】次に、図11に示した一連のプログラムシーケンスを図10を参照しながら、より詳細に説明する。また、通常、不揮発性半導体記憶装置においては、メモリセルのしきい電圧が低い状態を消去状態（「1」データ）と、しきい電圧が高い状態を書き込み状態（「0」データ）という。ここでは、全てのメモリセルMC0～MC15のは消去状態、すなわち、「1」データにあると仮定する。また、以降の説明では、メモリセルMC15にデータを書き込む場合を例に取り説明する。

【0113】まず初めに、アドレス・データ入力動作について説明する。図10に示される不揮発性半導体記憶装置に入力されたアドレスデータに応じて、ワード線が選択される。ここでは、ワード線WL15が選択されたものと仮定する。また、カラムゲートを介して、ラッチ・センス回路110に、所定の電位がラッチされる。この場合、ノードN1にローレベル電位（L）が保持される。

【0114】次に、一回目の書き込み動作について説明する。信号RSTをハイレベル電圧（以下、Hと言う）にし、トランジスタQ10をONにして、ビット線BLiをリセットする。すなわち、GND電位にする。次に、信号bPREをLにして、トランジスタQ9をONにして、ビット線を書き込み禁止電圧VM1（例えば、10V）にプリチャージし、その後トランジスタQ9をOFFにする。

【0115】また、非選択ワード線WL0～WL14にハイレベル電圧VM2（例えば、12V）を印加して、それらをONにする。また、選択トランジスタSGSをOFFに、選択トランジスタSGDをONの状態にする。また、選択ワード線WL15に書き込み電圧（例えば、20V）を印加する。

【0116】次いで、信号φ1をHにしてトランジスタQ1をONにする。すると、ノードN1がビット線BLiに接続される。この時、ノードN1の電位はLなの

24

で、ビット線BLiの電位はHからLに放電する。

【0117】ビット線BLiが放電し、Lになると、選択メモリセルMC15のチャネル部分とゲート端子（選択ワード線WL15に接続された端子）間に20Vの電位差が発生する。この為、選択メモリセルMC15のフローティングゲートに電子が注入され、データが書き込まれる。言い換えれば、選択メモリセルMC15のしきい電圧が上昇し、「0」データになる。

【0118】また、非選択メモリセルMC0～MC14のチャネル部分とゲート端子（非選択ワード線WL0～WL14に接続された端子）間には、12Vの電位差しか発生しない。この為、非選択メモリセルMC0～MC14のフローティングゲートには電子が注入されず、データは書き込まれない。言い換えれば、選択メモリセルMC0～MC14のしきい電圧はそのまま、「1」データを保持する。以上で図3における一回目のプログラムが終了する。

【0119】次に、ペリファイ動作について説明する。信号RSTをHにし、トランジスタQ10をONにして、ビット線BLiをリセットする。すなわち、GND電位にする。次に、信号bPREをLにして、トランジスタQ9をONにして、ビット線を書き込み禁止電圧VM1（例えば、5V）にプリチャージし、その後トランジスタQ9をOFFにして、ビット線の電位をフローティング状態にする。

【0120】また、非選択ワード線WL0～WL14にVcc（例えば、5V）を印加して、それらをONにする。また、選択ワード線WL15にペリファイ電圧Vvfyを印加する。また、選択トランジスタSGS、SGDをON状態にする。また、ペリファイ電圧Vvfyはしきい値判定電圧VLよりも大きいとする。

【0121】選択ワード線WL15の電位Vvfyが、選択メモリセルMC15のしきい電圧よりも高い場合、ビット線はHからLに放電し、選択メモリセルMC15のしきい電圧よりも低い場合、ビット線はHのままである。

【0122】ビット線が放電するのに必要な時間待った後、信号LAT1をHにして、トランジスタQ21をONして、ビット線の電位をラッチする。ここで、信号φ1はLのままである。

【0123】この時、「1」データ書き込み状態でノードN1がHの場合は、ビット線BLiのH/Lに関わらずノードN1はHを保持する。これは図2でCON=Hでビット線をプルアップしてノードN1をHに保持するのと同じ効果である。

【0124】また、「0」データ書き込み状態でノードN1がLの場合は、ビット線がLの時ノードN1はLを保持し、ビット線がHの時ノードN1はHに強制反転される。

【0125】また、このラッチした結果が正常ならば一

(13)

特許第3414587号

25

連のプログラムシーケンスは終了する。結果が異常ならば、カウンタNを1増加させる。次に、しきい値リード動作（しきい電圧判定動作）について説明する。

【0126】信号RST及びφ2をHにし、トランジスタQ10、Q2をONにして、ビット線BLiをリセットする。すなわち、GND電位にする。ここで、ノードN2の電位もGNDとなる。

【0127】次に、信号bPREをLにして、トランジスタQ9をONにして、ビット線をVcc（例えば、5V）にプリチャージし、その後トランジスタQ9をOFFにして、ビット線の電位をフローティング状態にする。

【0128】また、非選択ワード線WL0~WL14にVcc（例えば、5V）を印加して、それらをONにする。また、選択ワード線WL15にしきい値判定電圧VLを印加する。また、選択トランジスタSGS、SGDをON状態にする。

【0129】ここで、“0”データの内で、しきい値判定電圧VLよりも高い領域を領域L2、低い領域を領域L1と定義する（図4参照）。1回目のプログラム動作において、データが書き込まれた選択メモリセルMC15のしきい電圧が領域L1にある場合を考える。

【0130】選択ワード線WL15の電位VLは、しきい電圧よりも高いので、選択メモリセルMC15はONし、ビット線BLiはHからLに放電する。また、ビット線BLiが放電するのに必要な時間待った後、信号LAT2をHにしてトランジスタQ23をONにしてビット線の電位をラッチする。ここで、信号φ2はLのままである。

【0131】いま、しきい電圧が領域L1にある場合を考えているので、選択メモリセルMC15はONし、ビット線は放電する。この為、トランジスタQ24がOFFし、ノードN2はLのままである。

【0132】一方、しきい電圧が領域L2にある場合、選択メモリセルMC15はOFFし、ビット線はHに充電されたままである。この為、トランジスタQ24がONし、ノードN2はHに強制反転する。以上の動作により、ノードN2にしきい値リードの結果がラッチされる。以上のようにして、しきい値リード動作が終了する（図11参照）。

【0133】次に、前述の1回目のプログラム動作と、しきい値リード動作の後のノードN1及びN2の電位の状態をまとめたものは、既に図5に示した。図5に示すように、1回目のプログラム動作において、ノードN1=Lとして、選択メモリセルMC15に“0”データを書き込む。また、その後のしきい値リード動作において、“0”データが書き込まれた選択メモリセルのしきい電圧がL1の領域にある場合、ノードN2の電位がLとなる事は、前述した通りである。

【0134】また、“0”データが書き込まれた選択メ

26

モリセルのしきい電圧がL2の領域にある場合、しきい値判定電圧VLは、領域L2よりも低いので、選択メモリセルMC15はONしない。従って、ビット線BLiは放電しないので、ノードN2の電位はHとなる。

【0135】また、1回目のプログラム動作において、選択メモリセルMC15にデータを書き込まない時は、ノードN1の電位をHにする。また、その後のしきい値リード動作において、ノードN2に保持される電位はLかHのどちらかになる。

【0136】以上の様にして、二つのノードN1、N2に保持される電位により、プログラム動作後のメモリセルの状態を、“1”データ書き込み状態（L3）、書き込み状態であるが十分書き込まれていない状態（L1）、十分書き込まれている状態（L2）の3つに分類する事が出来る。

【0137】次に、2回目のプログラム動作について説明する。いま、一回目のプログラムでデータが書き込まれたメモリセルMC15のしきい電圧が領域L1にある場合、領域L1は、前述した様に、データが書き込まれているが、十分に書き込まれていない状態を示している。従って、選択メモリセルに再度書き込みを行い、十分に書き込まれた状態（VLよりも高い領域）にする必要がある。

【0138】また、一回目のプログラム後のメモリセルMC15のしきい電圧が領域L2にある場合、領域L2は、前述した様に、データが十分に書き込まれている状態を示している。従って、この状態のメモリセルには、あまり書き込みを行いたくない。すなわち、書き込み速度を遅くしたい。

【0139】また、一回目のプログラム後のメモリセルMC15のしきい電圧が領域Lに3ある場合、領域L3は、前述した様に、“1”データを書き込み状態を示している。従って、この状態のメモリセルには、書き込みを行いたくない。

【0140】以上の様に、1回目のプログラム後のメモリセルの状態（L1、L2、L3）によって、書き込むスピードを制御しなければならない。本発明では、ノードN1、N2の電位に応じて、電圧切り換え回路160によりビット線の電位を制御し、書き込みスピードを制御している。

【0141】以下に、書き込み速度の制御方法を説明する。ここで、1回目のプログラム後のメモリセルMC15のしきい電圧が領域L1にある場合を例に取り説明する。この場合、図5に示した様に、1回目のプログラム、しきい値リード動作後のノードN1、N2の電位はそれぞれL、Lに設定されている。このとき、ノードbN1、bN2はHなので、電圧切り換え回路160内のトランジスタQ4、Q5はON、トランジスタQ6、Q8はOFFとなる。この為、ノードN3の電位はGNDとなる。その後、信号φ3によりトランジスタQ3をO

(14)

特許第3414587号

27

Nにする事により、ビット線を充電する。すると、選択メモリセルに20V(20V-0V)が印可され、再度書き込みが行われる。

【0142】また、1回目のプログラム後のメモリセルMC15のしきい電圧が領域L2にある場合、図5に示した様に、1回目のプログラム、しきい値リード動作後のノードN1、N2の電位はそれぞれL、Hに設定されている。このとき、ノードbN1、bN2は、それぞれH、Lなので、電圧切り換え回路160内のトランジスタQ6、Q7はON、トランジスタQ5、Q8はOFFとなる。この為、ノードN3の電位はVref(例えば、1V)となる。その後、信号φ3によりトランジスタQ3をONにする事により、ビット線を充電する。すると、選択メモリセルに19V(20V-1V)が印可され、再度書き込みが行われる。しかし、この時は、19Vと電圧が低くなっているため、書き込みスピードは遅くなる。

【0143】また、1回目のプログラム後のメモリセルMC15のしきい電圧が領域L3にある場合、図5に示した様に、1回目のプログラム、しきい値リード動作後のノードN1、N2の電位は、それぞれH、*に設定されている(ただし、*はHまたはLのどちらかを意味する)。このとき、ノードbN1はLなので、電圧切り換え回路160内のトランジスタQ8がONとなる。この為、ノードN3の電位はノードN1と同電位になる。すなわち、ノードN3の電位は、VM1となる。信号φ3によりトランジスタQ3をONさせる事により、ビット線をVM1(書き込み禁止電圧)に充電する。

【0144】図5に、充電されたビット線の電位と、ノードN1、N2の関係を示した。図5示されるように、データが書き込まれたメモリセルのしきい電圧がL1、L2、L3の領域の時、ビット線の電位を、それぞれGND、Vref、VM1に設定する。ここで、GNDは0V、Vref(参照電圧)は1V、VM1(書き込み禁止電圧)は10Vとする。

【0145】以上の様にして、しきい値リードの結果に応じてビット線を充電し、選択メモリセルMC15に2回目の書き込みが行われる。この2回目の書き込み動作においては、選択メモリセルMC15のしきい値の状態に応じてビット線の電位を最適にしているため、選択メモリセルMC15の書き込み速度を調節する事が出来る。

【0146】次に、図11に示されるプログラムシーケンスにおける選択メモリセルMC15のしきい電圧の変化を図12に示した。縦軸にしきい電圧、横軸に時間を取っている。

【0147】図12に示される様に、N-1回目のプログラム後の選択メモリセルのしきい電圧の分布範囲がRn-1(時間tn-1)であるとする。前述した様に、その後のしきい値リード動作により、しきい値が、しき

28

い値判定電圧VLより高いか、低いかに領域L2とL1に分別する。この分別に基づいて、選択メモリセルへの書き込み速度を制御して、N回目の書き込みを行う。N回目の書き込み動作終了後の時間をtnとする。この際、領域L1にあるメモリセルのしきい電圧は、ほぼ線形に増加する。しかし、十分に書き込まれている状態の領域L2のメモリセルのしきい電圧は、書き込み速度を遅くして書き込んでいるため、傾きは鈍くなる。

【0148】この傾きの違いの為、N回目の書き込み動作後のしきい値の分布幅Rnを、N-1回目の書き込み動作後のしきい値の分布幅Rn-1よりも狭くする事ができる。

【0149】また、領域L1内のしきい電圧を有するメモリセルと、領域L2内のしきい電圧を有するメモリセルの、N回目の書き込み後のしきい電圧の分布範囲がRnで一致する様に、前述の参照電圧Vrefを最適にする(最適な設定の方法は後述する)。

【0150】N回目の書き込みが終わり、しきい電圧が正常、すなわち、しきい電圧がベリファイ電圧Vvfyを超えると、一連のシーケンスは終了する。次に、VLとVrefの設定方法について説明する。

【0151】グループL2のセルの内、しきい値が最も高いセルはVPP-Vrefで書き込まれてΔVTH2だけしきい値が上昇するので、最終的なしきい値分布幅はΔVTH2となる。

【0152】また、グループL1のセルの内、しきい値が最も高いVLのセルはVPPで書き込まれてΔVTH1だけしきい値が上昇するので、しきい値分布幅をΔVTH2に抑えるためには、以下の条件が必要である。

【0153】

$$\Delta V_{TH1} \leq \Delta V_{TH2} + (V_{vfy} - V_L)$$

ここで(“ \leq ”は“以下”を意味する)

以上により、Vrefは、VPP-Vrefによる1回の書き込み量ΔVTH2、すなわち、要求されるしきい値分布幅から決める。

【0154】また、ΔVTH1は、チップの書き込み特性から自ずと決まり、Vvfyは回路設計時に決めているので、上式からVLが求められる。更に、図11に示されるプログラムシーケンスのタイミングチャートを図13に示した。図13には、しきい値リード動作、N-1回目プログラム動作、ベリファイ動作、しきい値リード動作、N回目プログラム、ベリファイ動作のタイミングチャートを示している。

【0155】本実施形態では、N回目にしきい値幅を縮める様に、しきい値判定電圧VLを決定したが、それ以外のとき(K回目、1<K<N)にしきい値判定電圧VLを決めても良い。

【0156】また、図2に示した詳細回路図を、図3に示されるプログラムシーケンスで説明し、図10に示した詳細回路図を、図11に示されるプログラムシーケ

(15)

特許第3414587号

29

スで説明したが、図11に示されるプログラムシーケンスを図2に示した回路に、図3に示されるプログラムシーケンスを図10に示した回路に適用してもよい。

【0157】本実施形態は、二つのセンス・ラッチ回路によりラッチされたデータに基づいて、ビット線を充電し、その後の書き込み動作の際の書き込み速度を制御する事により、書き込み時間をそれほど増加させる事無く、しきい値電圧の分布幅を狭くする事が出来る。この結果、不揮発性半導体記憶装置の誤動作を抑制する事ができる。また、参照電圧 V_{ref} とGND間に接続されたトランジスタQ4、Q5、Q6、Q7は同時にONせず、貫通電流は流れないので、消費電力の増大はない。

【0158】

【発明の効果】本発明にかかる不揮発性半導体記憶装置において、新たにラッチ・センス回路と、電圧切り換え回路を設けている。また、しきい値リード動作の結果に基づいて、ビット線の電位を制御し、選択メモリセルへの書き込み速度を制御する事が出来る。この為、書き込み時間をそれほど増加させる事無く、しきい値電圧の分布幅を狭くする事が出来る。

【図面の簡単な説明】

【図1】本発明の第一の実施形態における不揮発性半導体記憶装置の概略回路図。

【図2】本発明の第一の実施形態にかかる不揮発性半導体記憶装置の詳細回路図。

【図3】第一の実施形態にかかるプログラムシーケンス。

【図4】不揮発性メモリセルのしきい値電圧の個数分布図。

【図5】ノードN1、N2の電位に応じたビット線の電位等を示した表。

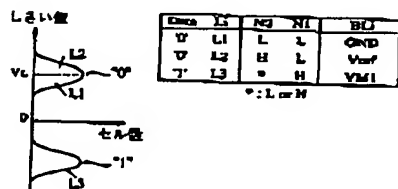
【図6】第一の実施形態にかかる選択メモリセルのしきい値電圧の時間遷移図。

【図4】

【図5】

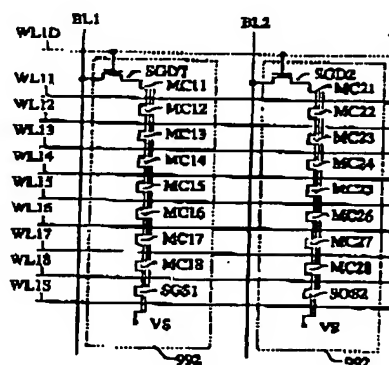
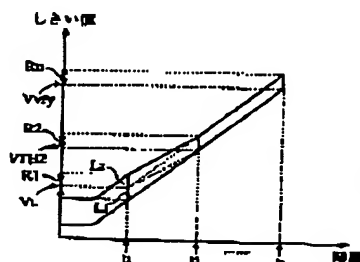
【図6】

【図16】



電圧	Y1	Y2	Y3	Y4	Y5
0	L1	L	L	L	QND
1	L2	H	L	L	Vref
2	L3	H	H	L	Vref

* L=H



30

* 【図7】しきい値判定電位 V_L 及び参照電圧 V_{ref} の決定方法を示した図。

【図8】第一の実施形態に係る不揮発性半導体記憶装置のタイミングチャート。

【図9】本発明の第二の実施形態における不揮発性半導体記憶装置の概略回路図。

【図10】本発明の第二の実施形態にかかる不揮発性半導体記憶装置の詳細回路図。

【図11】第二の実施形態にかかるプログラムシーケンス。

【図12】第二の実施形態にかかる選択メモリセルのしきい値電圧の時間遷移図。

【図13】第二の実施形態にかかるプログラムシーケンス。

【図14】不揮発性半導体記憶装置の全体概略図。

【図15】不揮発性半導体記憶装置のメモリセルアレイ部分の詳細図。

【図16】NAND型メモリセルアレイを示した図。

【図17】NAND型メモリセルアレイのウエハ上における断面図。

【図18】従来の不揮発性半導体記憶装置におけるラッチ・センス回路部分を示した詳細回路図。

【図19】不揮発性メモリセルへの書き込み原理を説明した図。

【図20】従来の不揮発性半導体記憶装置におけるプログラムシーケンスを示した図。

【図21】従来の不揮発性半導体記憶装置における誤動作を説明する為の図。

【符号の説明】

100 NAND型メモリセルアレイ

110、120 センス・ラッチ回路

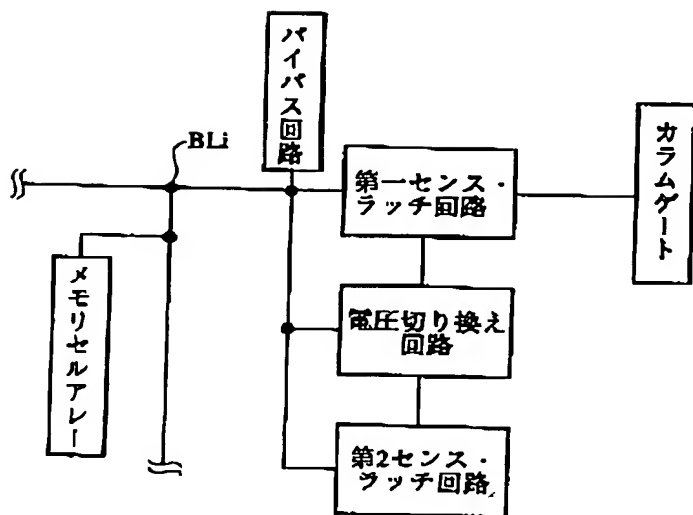
160 電圧切り換え回路

170 バイパス回路

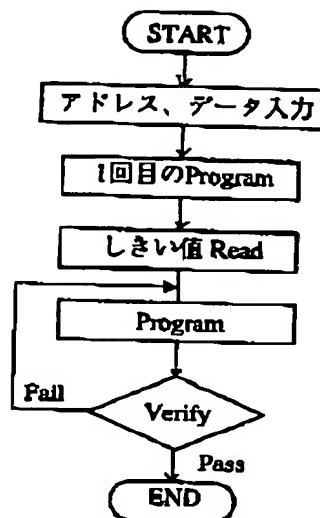
(16)

特許第3414587号

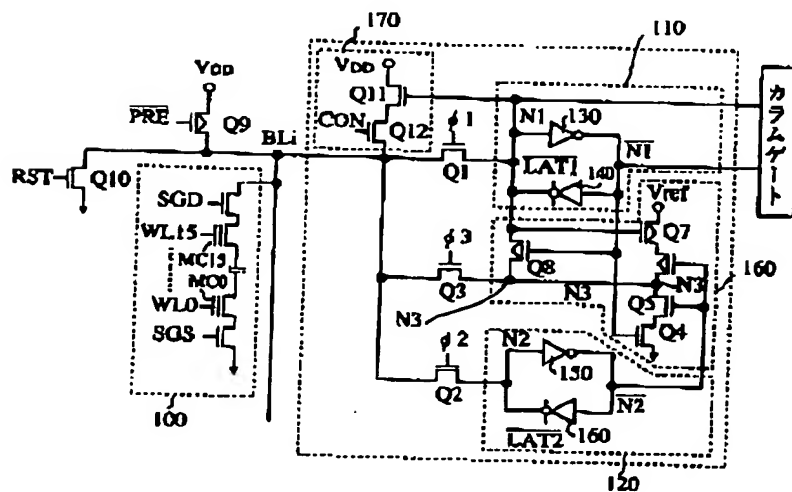
【図1】



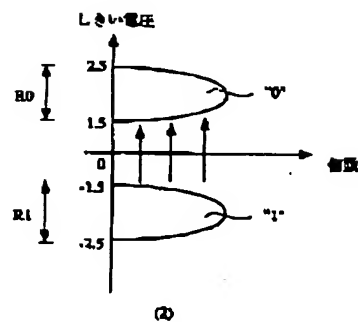
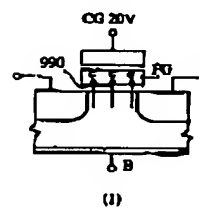
【図3】



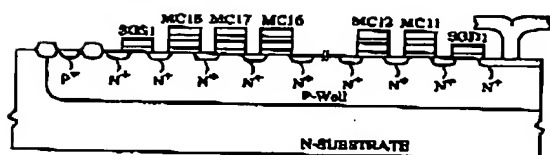
【図2】



【図19】



【図17】



(17)

特許第3414587号

【図7】



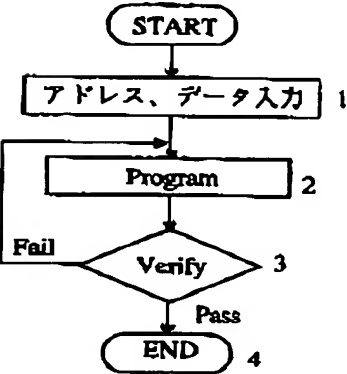
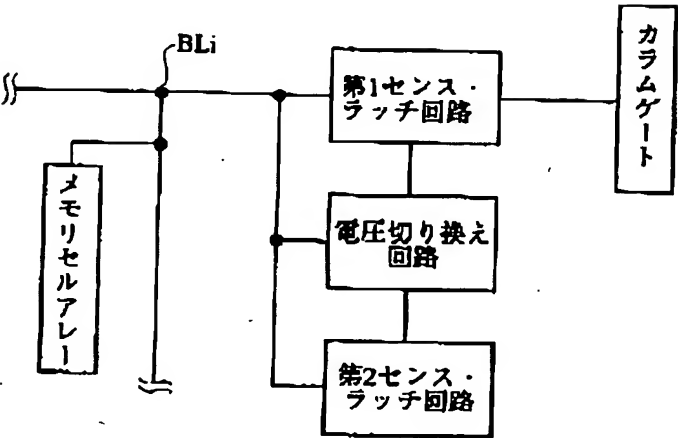
【図20】

Data	N1	BL1
0	0	GND 又は V_{cc}
1	1	V_{cc}

(1)

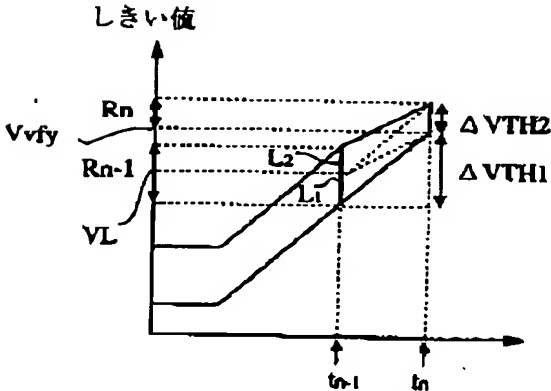


【図9】

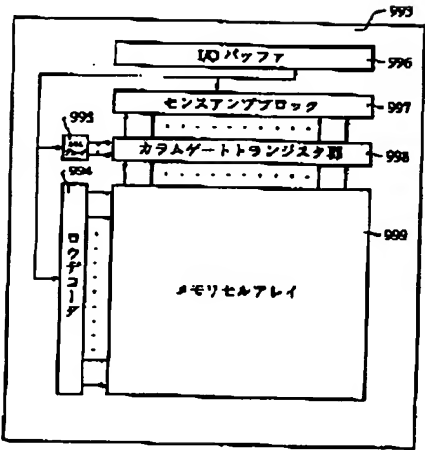


(2)

【図12】



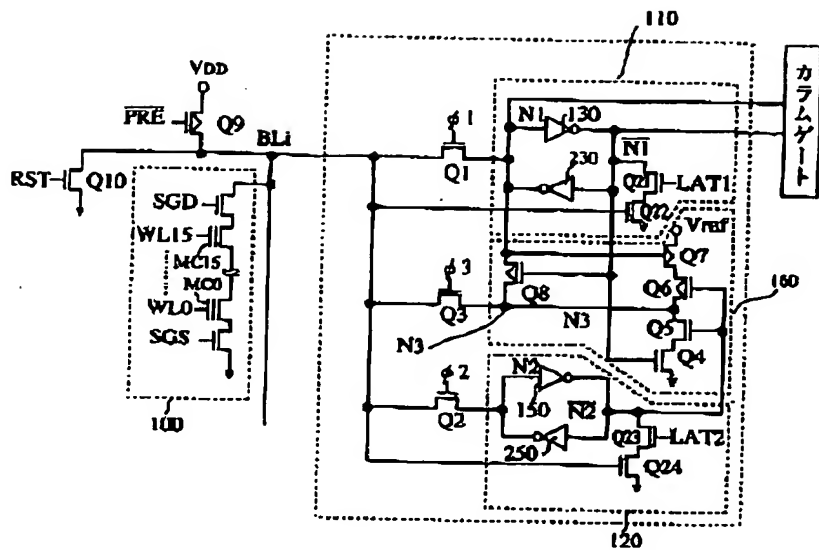
【図14】



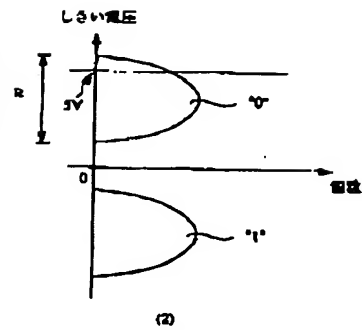
(19)

特許第3414587号

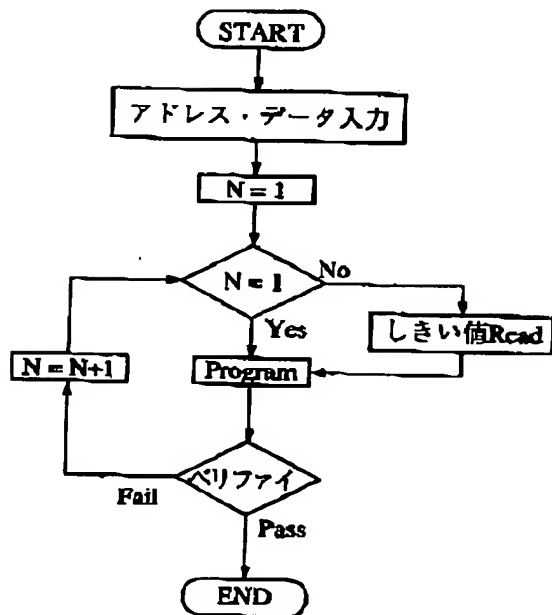
【図10】



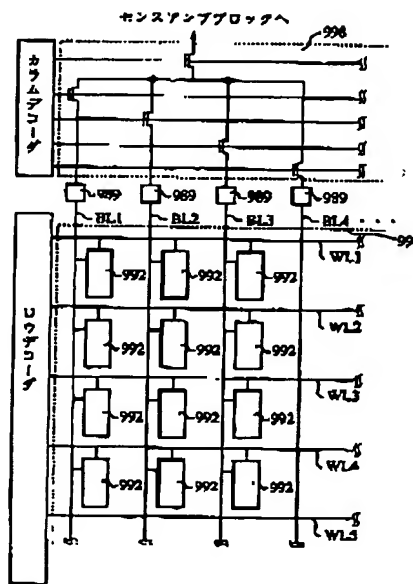
【図21】



【図11】



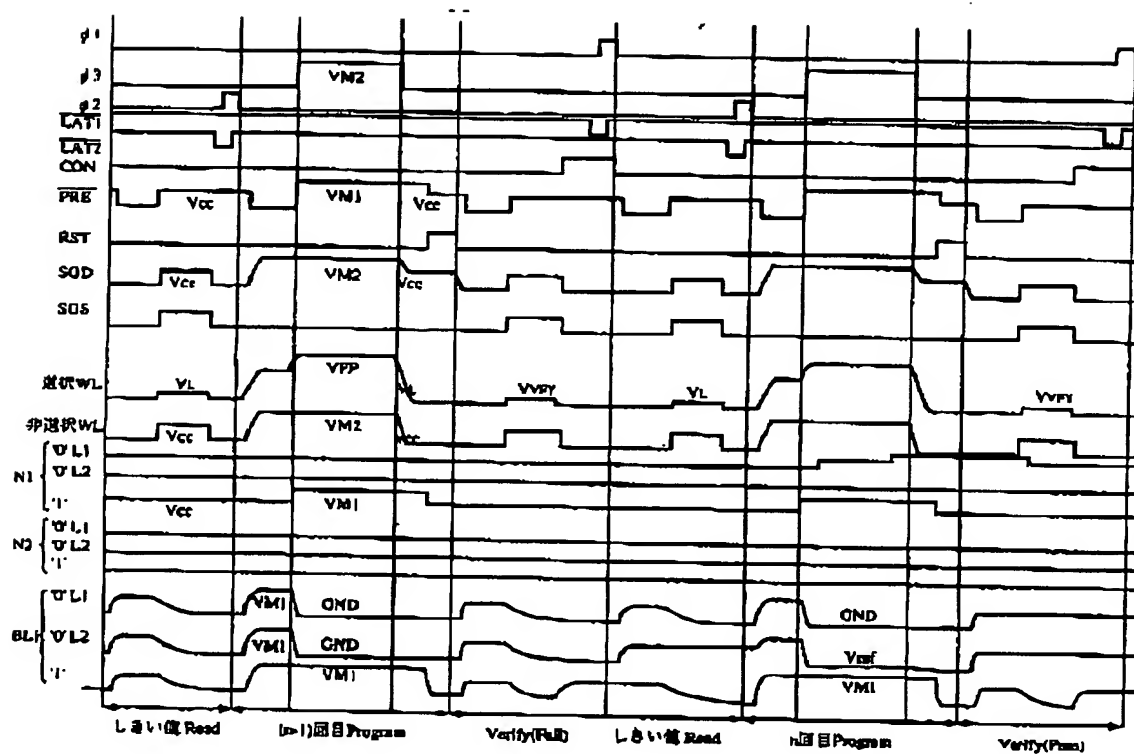
【図15】



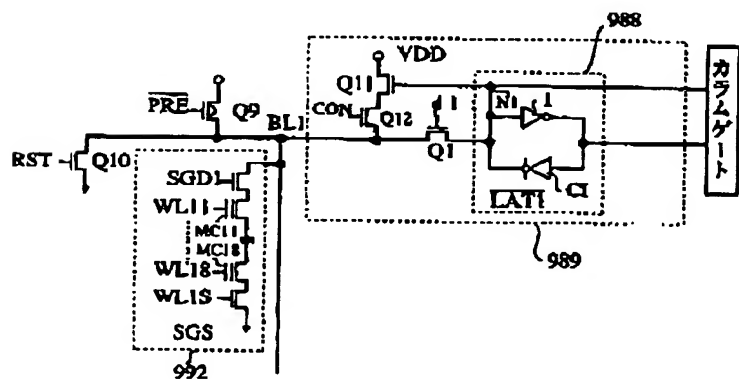
(20)

特許第3414587号

【図13】



【図18】



(1)

フロントページの続き

(58)調査した分野(Int. Cl. 7, DB名)

G11C 15/00 - 16/34